

TRANSMISSION/RECEPTION INTEGRATED TYPE HIGH-FREQUENCY UNIT

Patent number: JP2002016524

Publication date: 2002-01-18

Inventor: KUDO TAKEYA; ABE SHUJI; OSAWA MASAMI

Applicant: TOSHIBA CORP

Classification:

- **International:** H04B1/40; H02H7/20; H02H9/04; H04B3/02; H04N7/16

- **european:**

Application number: JP20000198475 20000630

Priority number(s):

Also published as:

EP1168644 (A2)

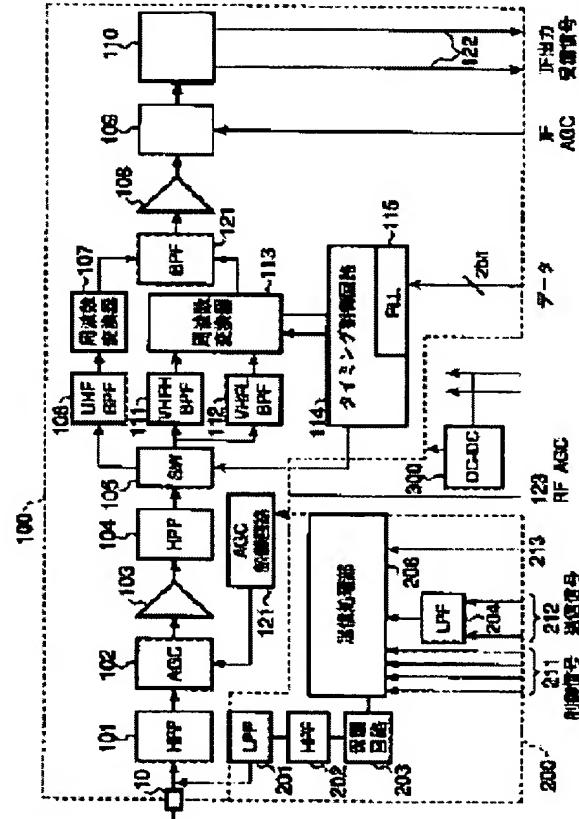
US2002056134 (A)

JP2002016524 (A)

Abstract of JP2002016524

PROBLEM TO BE SOLVED: To provide a transmission/reception integrated type high-frequency unit with having superior communication quality and high reliability for a cable modem.

SOLUTION: A received high-frequency signal is led to a reception system block 100 via an input output terminal 10 and is converted into an intermediate frequency signal, which is then outputted from a terminal 122. Furthermore, the output terminal of a transmission processing section 206 of a transmission system block 200 is connected to the input/output terminal 10 via an overvoltage protection circuit 203, a high-pass filter 202 for overvoltage countermeasures and a low pass filter 201 that suppresses harmonics generated in the high-pass filter 202.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-16524

(P2002-16524A)

(43)公開日 平成14年1月18日(2002.1.18)

(51) Int.Cl.⁷
 H 04 B 1/40
 H 02 H 7/20
 9/04
 H 04 B 3/02
 H 04 N 7/16

識別記号

F I
 H 04 B 1/40
 H 02 H 7/20
 9/04
 H 04 B 3/02
 H 04 N 7/16

テ-マコ-ト^{*}(参考)
 5 C 0 6 4
 E 5 G 0 1 3
 C 5 G 0 5 3
 5 K 0 1 1
 A 5 K 0 4 6

審査請求 未請求 請求項の数25 O L (全15頁)

(21)出願番号 特願2000-198475(P2000-198475)
 (22)出願日 平成12年6月30日(2000.6.30)

(71)出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (72)発明者 工藤 雄也
 埼玉県深谷市幡羅町一丁目9番地2号 株式会社東芝深谷映像工場内
 (72)発明者 安部 修二
 埼玉県深谷市幡羅町一丁目9番地2号 株式会社東芝深谷映像工場内
 (74)代理人 100058479
 弁理士 鈴江 武彦 (外6名)

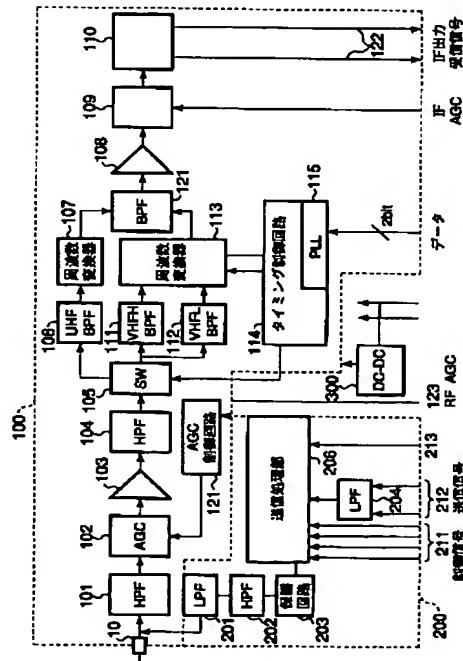
最終頁に続く

(54)【発明の名称】送受信一体型高周波装置

(57)【要約】

【課題】ケーブルモデムにおいて通信品位が良く、信頼性の高い送受信一体型高周波装置を提供する。

【解決手段】受信用高周波信号は入出力端子10を介して受信系ブロック100に導かれ、中間周波数信号に変換されて端子122より出力される。また送信系ブロック200の送信処理部206出力端子は、過電圧保護回路203、過電圧対策用の高域通過フィルタ202、この高域通過フィルタ202で生じる高調波を抑圧するための低域通過フィルタ201を介して先の入出力端子10に接続されている。



【特許請求の範囲】

【請求項 1】 高周波信号が入出力される入出力端子と、前記入出力端子に供給された第1の高周波信号を受信し、中間周波数信号に変換して出力する受信系ブロックと、送信用の第2の高周波信号が供給される入力端子及び前記第2の高周波信号の出力状態を制御する制御信号が供給される制御端子を有し、前記入力端子に供給された第2の高周波信号を前記制御信号によって制御して前記入出力端子に供給する送信系ブロックとを具備し、前記受信系ブロック及び前記送信系ブロックを1つの筐体内に形成したことを特徴とする送受信一体型高周波回路装置。

【請求項 2】 前記送信系ブロックは、前記制御端子に供給される制御信号によって、前記第2の高周波信号のレベル及び断続状態が制御されるようにしたことを特徴とする送受信一体型送受信装置。

【請求項 3】 高周波信号が入出力される入出力端子と、前記入出力端子に供給された受信用高周波信号を処理する受信系ブロックと、前記入出力端子に送信用高周波信号を出力する半導体素子を含む送信処理部と、前記受信系ブロックと前記入出力端子との間に接続され、受信周波数の下限周波数未満に第1の遮断周波数（下限周波数）を設定した第1の高域通過フィルタと、前記送信処理部の出力端子に接続され、前記第1の遮断周波数よりも低い帯域の周波数に第2の遮断周波数（下限周波数）を有する第2の高域通過フィルタと、前記第2の高域通過フィルタと前記入出力端子との間に接続され、前記第2の遮断周波数よりも高く、前記第1の遮断周波数よりも低い帯域に遮断周波数（上限周波数）を有する低域通過フィルタとを具備したことを特徴とする送受信一体型高周波装置。

【請求項 4】 前記低域通過フィルタは、前記第2の高域通過フィルタで生じる高調波成分を遮断する特性であることを特徴とする請求項3記載の送受信一体型高周波装置。

【請求項 5】 前記送信処理部の出力端子と前記第2の高域通過フィルタの間には、さらに、過電圧破壊保護回路を接続したことを特徴とする請求項3記載の送受信一体型高周波装置。

【請求項 6】 前記過電圧破壊保護回路は、信号線路と接地間に直列接続された2つのツェナーダイオードで構成され、互いのツェナーダイオードは、互いの接続点が同じ極性（カソード又はアノード）であることを特徴とする請求項5記載の送受信一体型高周波装置。

【請求項 7】 前記過電圧破壊保護回路は、ツェナーダイオードとこのツェナーダイオードよりも逆

耐圧電圧が高いダイオードとからなり、互いの接続点が同じ極性（カソード又はアノード）である第1、第2の直列回路を含み、

前記第1の直列回路のツェナーダイオードと第2の直列回路のツェナーダイオードとが互いに逆極性となり、前記第1の直列回路のダイオードと前記第2の直列回路のダイオードが互いに逆極性になるように前記第1と第2のとく列回路を信号線路とアース間に並列に接続したことを特徴とする請求項5記載の送受信一体型高周波装置。

【請求項 8】 高周波信号を入出力するための入出力端子と、

前記入出力端子に供給された高周波下り信号を処理する受信処理部と、

前記入出力端子を介して高周波上り信号を出力するための送信処理部と、

この送信処理部と前記入出力端子間に直列に設けられた第1と第2のスイッチ手段と、

前記上り信号の出力期間を計測する出力期間計測回路と、

前記出力期間計測回路が、前記上り信号の出力期間が所定期間以上であることを検出したときに、前記第1と第2のスイッチ手段をオフする遮断手段とを具備したことを特徴とする送受信一体型高周波装置。

【請求項 9】 前記第1のスイッチ手段と、前記出力期間計測回路及び手段手段は、同一の半導体チップ内に構築され、前記第2のスイッチ手段は、この半導体チップの外に設けられていることを特徴とする請求項8記載の送受信一体型高周波装置。

【請求項 10】 前記第1のスイッチ手段は、利得制御增幅器であることを特徴とする請求項8記載の送受信一体型高周波装置。

【請求項 11】 基板の周辺を取り囲む枠状の外部シールド板と、

前記枠状のシールド板の一辺に設けられた入出力端子と、

前記外部シールド板で囲まれた基板を、前記入出力端子部分を含む第1の領域と、前記入出力端子に近接する第2の領域とを含むように区分する内シールド板と、

前記第1の領域の基板に形成され、前記入出力端子に供給された第1の高周波信号を受信し中間周波数信号に変換して出力する受信系ブロックと、

前記第2の領域の基板に形成され、送信用の第2の高周波信号を処理して前記入出力端子に出力する送信系ブロックと、

前記外部シールド板の前記入出力端子を設けた一辺に隣接しつつ前記送信系ブロックに面する他の辺に設けられた、前記受信系ブロックからの出力信号を導出する出力端子、及び前記送信系ブロックに前記第2の高周波信号を供給する入力端子とを具備したことを特徴とする送受

信々体型高周波装置。

【請求項 1 2】 前記入力端子と前記出力端子間の間隔を 30 mm 以上、 60 mm 以内に設定したことを特徴とする送受信一体型高周波装置。

【請求項 1 3】 基板の周辺を取り囲むように、対向する第 1 、第 2 の辺、及び対向する第 3 、第 4 の辺にて方形の外囲器を形成した第 1 のシールド板と、前記第 1 のシールド板の前記第 1 の辺に設けられ、かつ第 1 の辺の中心位置から第 3 の辺側にずれた位置に設けられた入出力端子と、

外囲器内を、前記入出力端子から前記第 3 及び第 2 の辺に沿い前記第 4 の辺に向かって形成された第 1 の領域と、前記第 1 の辺と前記第 4 の辺が接合する角の部分に形成された第 2 の領域と、第 1 の領域と第 2 の領域の領域外の残余の部分に形成された第 3 の領域とに区分する内部シールド板と、

前記第 1 の領域内の基板に形成され、前記入出力端子に供給された第 1 の高周波新語を受信し、中間周波数信号に変換して出力する受信系ブロックと、

前記受信系ブロックからの出力信号を導出するため、前記第 1 のシールド板の前記第 4 の辺に設けられた出力端子と、前記第 2 の領域内の基板に形成され、送信用の第 2 の高周波信号を処理して前記入出力端子に出力する送信系ブロックと、

前記送信系ブロックに前記第 2 の高周波信号を供給するとともに前記第 2 の高周波信号の出力応対を制御する制御信号を供給するため、前期第 1 のシールド板の前記第 4 の辺に設けられた入力端子と、を具備したことを特徴とする送受信一体型高周波装置。

【請求項 1 4】 前記第 3 の領域内の基板には、前記受信系ブロック及び前記送信系ブロックに電源電圧を供給するための直流一直流変換回路を設けたことを特徴とする請求項 1 3 記載の送受信一体型高周波装置。

【請求項 1 5】 前記第 4 の辺に設けられた前記入力端子と前記出力端子間の間隔を 30 mm 以上、 60 mm 以内に設定したことを特徴とする請求項 1 4 記載の送受信一体型高周波装置。

【請求項 1 6】 同一の基板に搭載された受信系ブロック及び送信処理部と、前記送信処理部に対して高周波信号を与えるために設けられた信号入力端子と、

この信号入力端子からの高周波信号を受けて前記送信処理部に与える平衡 2 端子入力回路とを具備したことを特徴とする送受信一体型高周波装置。

【請求項 1 7】 前記平衡 2 端子入力回路は、前記高周波信号が入力した直後には接地回路が無い平衡 2 端子低域通過フィルタであることを特徴とする請求項 1 6 記載の送受信一体型高周波装置。

【請求項 1 8】 同一の基板に搭載された受信系ブロック及び送信系ブロックと、

前記受信系ブロックへ電力を供給する第 1 の電源供給端子と、

前記第 1 の電源供給端子から分離されており、前記送信系ブロックへ電力を供給する第 2 の電源供給端子とを具備したことを特徴とする送受信一体型高周波装置。

【請求項 1 9】 同一の基板に搭載された受信系ブロック及び送信系ブロックと、

前記受信系ブロックの局部発振器と、

前記局部発振器へ電力を供給する第 1 の電源供給端子と、

前記第 1 の電源供給端子から分離されており、前記局部発振器を除く他の回路へ電力を供給する 1 またはそれ以上の第 2 の電源供給端子とを具備したことを特徴とする送受信一体型高周波装置。

【請求項 2 0】 同一の基板に搭載された受信系ブロック及び送信系ブロックと、

前記送信系ブロックの送信信号の断続に伴い回路電流が変化する回路へ電力を供給する第 1 の電源供給端子と、前記第 1 の電源供給端子から分離されており、前記回路電流が変化する回路と異なる回路へ電力を供給する他の電源供給端子とを具備したことを特徴とする送受信一体型高周波装置。

【請求項 2 1】 高周波信号を入出力するための入出力端子と、

前記入出力端子に供給された高周波受信信号を処理する受信処理部と、

前記入出力端子を介して高周波送信信号を出力するとともに前記送信信号の送信を断続制御可能にした送信処理部と、

前記送信信号が断続制御されることに伴い前記送信処理部の回路電流が変動するのを抑止するため、前記回路電流の変化を抑える補間電流を生成する補間回路とを具備したことを特徴とする送受信一体型高周波装置。

【請求項 2 2】 前記補間電流により、前記送信処理部の総合の回路電流の変化を 10 mA 以下にしたことを特徴とする請求項 2 1 記載の送受信一体型高周波装置。

【請求項 2 3】 高周波信号を入出力するための入出力端子と、

前記入出力端子に供給された高周波受信信号を処理する受信処理部と、

前記入出力端子を介して高周波送信信号を出力するとともに前記送信信号の送信を断続制御可能にし、前記断続送信に伴う回路電流の変化が 10 mA 以下に設定された送信処理部と、

を具備したことを特徴とする高周波装置。

【請求項 2 4】 入力された信号処理して出力する信号処理回路と、

前記信号処理回路に直列に結合された複数の利得制御部を含み、

前記複数の利得制御部の少なくとも1つは、第1のステップ単位で利得を制御可能な第1の利得制御手段を有し、前記利得制御部の少なくとも他の1つは前記第1のステップよりも小さい第2のステップ単位で利得を制御可能な第2の利得制御手段を有してなることを特徴とする高周波装置。

【請求項25】 前記第1の利得制御手段は、減衰比の異なる複数の減衰器と、前記減衰器のいずれかを前記信号処理回路の信号路に選択的に接続するための切り換え手段とを有してなることを特徴とする請求項25記載の高周波装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、例えば、双方向ケーブルテレビジョンネットワーク（CATV網）に接続される端末側で使用される送受信一体型高周波装置に関する。

【0002】

【従来の技術】 近年、放送技術、通信技術のマルチメディア化、デジタル化に伴い、放送と通信技術分野の融合が実現しつつある。例えばCATV回線では、電話回線に比較して大量のデータ伝送能力を有するので、CATV回線を利用してネットワークを構築し、そしてインターネットを経由したデータ通信サービスを行うことが考えられている。この場合は、CATV網には加入者端末である通信機器（例えばパソコン）が接続され、パソコンは、CATV網、インターネットを経由してサーバーをアクセスすることになる。

【0003】 このようなシステムでは、加入者宅にCATV回線とのインターフェースとなるケーブルモ뎀と呼ばれるユニットが設置され、このケーブルモ뎀に上記パソコンを接続して使用する。これによりユーザーがCATV放送センターを介してインターネット等の外部ネットワークにアクセスすることを実現している。

【0004】 CATV放送では、通常90乃至860MHz程度の高周波信号（下り信号：ダウンストリーム）を利用して、センター局から各家庭に放送信号を配信している。受信端末では、上記の高周波信号をケーブルモ뎀内のチューナにより、1回乃至3回の周波数変換により中間周波数に変換した後、デジタル復調を行う。さらにこれに加えて、QPSKや16QAM方式によりデジタル変調された情報を、通常5乃至65MHz程度の高周波信号（上り信号：アップストリーム）で、各端末からセンターに向けて送信を行うようになっている。

【0005】 下り信号のレベルは、ケーブルモ뎀の入力端で通常-15乃至+15dBmVと微弱であり、上り信号のレベルはケーブルモ뎀の出力端で通常+8乃至+58dBmVである。

【0006】 ケーブルモ뎀の上り信号出力端子は、同

軸ケーブルを介して屋外のラインに接続されるが、誘導雷などによる過電圧が加わると、モードムの半導体素子が破壊する危険がある。このため、高周波信号線路で過電圧による破壊を防止する方法としてハイパスフィルタやダイオードを用いた保護回路を設ける方法が知られている。しかし信号送信回路においては、出力レベルが最大+58dBmVと大きいので、保護回路により高周波成分（2次、或は3次の高調波）が発生することがある。

【0007】 また、上り信号は、他のユーザからの上り信号と時間的に重ならないように、制御される。このために上り信号送信回路には、送信時間帯が割り当てられ、割り当てられた送信時間帯以外は、上り信号送信回路は非動作状態に制御される。仮に割り当てられた送信時間帯以外に、上り信号送信回路が能動状態で雑音を送出し続けた場合、この時間帯に送信を割り当てられている他のユーザの上り信号に対して雑音が重畠され、センターで正しい信号を受信できないことになる。

【0008】 上り信号と下り信号とは、1本の同軸ケーブルを共用している。このためにケーブルモ뎀内のチューナに内蔵された分波器（Diplexer）により、前記上り信号と下り信号とは周波数的に分離される。分波器では、上り信号と下り信号とが互いに干渉しないようにアイソレーションを十分に確保する必要がある。

【0009】 また、ケーブルモ뎀の各部品の小型化、さらにはIC化が進むと、下り信号の中間周波数と、上り信号とのアイソレーションも十分確保する必要がある。

【0010】 さらにまた、ケーブルモ뎀においては、上り信号の送信と同時に下り信号の受信も行われる。このため、上り信号の出力時も停止時もともに下り信号の受信が安定して得られるように設計する必要がある。

【0011】

【発明が解決しようとする課題】 上記したようにケーブルモ뎀の設計上では、次のような課題に注目する必要がある。

【0012】 (1) 上り送信信号のレベルが高いため、過電圧保護回路で発生する高調波成分が、微弱な下り信号に妨害を与える危険性がある。例えば40MHzで上り信号を送信している場合に、40MHzの3次高調波（120MHz）が、120MHzの下り信号に妨害を与える可能性がある。

【0013】 (2) あるユーザのケーブルモ뎀が、割り当てられた送信時間帯を超えて連続して能動状態を続けたような場合、雑音がケーブル上に送出され、他のユーザのケーブルモ뎀の上り信号がセンター局において正しく受信できない場合ある。

【0014】 (3) 部品の小型化のために、上り信号（送信信号）を発生させる回路と、下り中間周波信号を処理する回路とをLSI化した場合、各回路と高周波処理部との接続ライン間で上り送信信号が下り中間周波信号に妨害を与える可能性がある。

【0015】(4) 上り信号送信回路は、送信時間帯と非送信時間帯で断続されるが、この断続に伴い上り信号送信回路の回路電流が変化し、下り信号の周波数変換を行う局部発振器の電源電圧にリップルを生じる可能性がある。局部発振器の電源電圧にリップルが生じると、サイドバンドスプリアスを生じ、下り信号の受信品位を劣化させることになる。

【0016】この発明は、上記の事情に対処すべくなされたもので、ケーブルモデム等において通信品位が良く、信頼性の高い送受信一体型高周波装置を提供することを目的とする。

【0017】さらにこの発明は、過電圧保護回路で発生する高調波成分が、下り受信信号に妨害を与えるのを防止することができる送受信一体型高周波装置を提供することを目的とする。

【0018】またこの発明は、上り信号送信回路が割り当てられた時間帯を超えて送信を行う異常な動作状態になったとしても、一般回線に雑音が送出されるのを防止し、他のユーザのための上り送信信号及び下り受信信号に雑音妨害を与えるのを防止できる送受信一体型高周波装置を提供することを目的とする。

【0019】またこの発明は、上り送信信号を発生させるための回路と下り中間周波信号を処理する回路とを一体化してLSIで構成したとしても、高周波処理部との接続ライン間のアイソレーションを十分確保し、通信品位と信頼性とを維持できる送受信一体型高周波装置を提供することを目的とする。

【0020】さらにまたこの発明は、上り信号送信回路の能動状態と非能動状態とを切り換える、下り受信信号の周波数変換を行うための局部発振器の電源電圧にリップルが生じるのを抑え、下り受信信号の受信品位を良好に維持できる送受信一体型高周波装置を提供することを目的とする。

【0021】

【課題を解決するための手段】この発明は、上記の目的を達成するために、高周波信号が入出力される入出力端子と、前記入出力端子に供給された第1の高周波信号を受信し、中間周波数信号に変換して出力する受信系ブロックと、送信用の第2の高周波信号が供給される入力端子及び前記第2の高周波信号の出力状態を制御する制御信号が供給される制御端子を有し、前記入力端子に供給された第2の高周波信号を前記制御信号によって制御して前記入出力端子に供給する送信系ブロックとを備えし、前記受信系ブロック及び前記送信系ブロックを1つの筐体内に形成したことを特徴とする。

【0022】また、この発明は、高周波信号が入出力される入出力端子と、前記入出力端子に供給された受信用高周波信号を処理する受信系ブロックと、前記入出力端子に送信用高周波信号を出力する半導体素子を含む送信処理部と、前記受信系ブロックと前記入出力端子との間

に接続され、受信周波数の下限周波数未満に第1の遮断周波数（下限周波数）を設定した第1の高域通過フィルタと、前記送信処理部の出力端子に接続され、前記第1の遮断周波数よりも低い帯域の周波数に第2の遮断周波数（下限周波数）を有する第2の高域通過フィルタと、前記第2の高域通過フィルタと前記入出力端子との間に接続され、前記第2の遮断周波数よりも高く、前記第1の遮断周波数よりも低い帯域に遮断周波数（上限周波数）を有する低域通過フィルタとを具備したことを特徴とする。

【0023】さらにまたこの発明は、高周波信号を入出力するための入出力端子と、前記入出力端子に供給された高周波下り信号を処理する受信処理部と、前記入出力端子を介して高周波上り信号を出力するための送信処理部と、この送信処理部と前記入出力端子間に直列に設けられた第1と第2のスイッチ手段と、前記上り信号の出力期間を計測する出力期間計測回路と、前記出力期間計測回路が、前記上り信号の出力期間が所定期間以上であることを検出したときに、前記第1と第2のスイッチ手段をオフする遮断手段とを具備したことを特徴とする。

【0024】またこの発明は、基板の周辺を取り囲む枠状の外部シールド板と、前記枠状のシールド板の一辺に設けられた入出力端子と、前記外部シールド板で囲まれた基板を、前記入出力端子部分を含む第1の領域と、前記入出力端子に近接する第2の領域とを含むように区分する内シールド板と、前記第1の領域の基板に形成され、前記入出力端子に供給された第1の高周波信号を受信し中間周波数信号に変換して出力する受信系ブロックと、前記第2の領域の基板に形成され、送信用の第2の高周波信号を処理して前記入出力端子に出力する送信系ブロックと、前記外部シールド板の前記入出力端子を設けた一辺に隣接しつつ前記送信系ブロックに面する他の辺に設けられた、前記受信系ブロックからの出力信号を導出する出力端子、及び前記送信系ブロックに前記第2の高周波信号を供給する入力端子とを具備したことを特徴とする。

【0025】またこの発明は、基板の周辺を取り囲むよう、対向する第1、第2の辺、及び対向する第3、第4の辺にて方形形状の外囲器を形成した第1のシールド板と、前記第1のシールド板の前記第1の辺に設けられ、かつ第1の辺の中心位置から第3の辺側にずれた位置に設けられた入出力端子と、外囲器内を、前記入出力端子から前記第3及び第2の辺に沿い前記第4の辺に向かって形成された第1の領域と、前記第1の辺と前記第4の辺が接合する角の部分に形成された第2の領域と、第1の領域と第2の領域の領域外の残余の部分に形成された第3の領域とに区分する内部シールド板と、前記第1の領域内の基板に形成され、前記入出力端子に供給された第1の高周波信号を受信し、中間周波数信号に変換して出力する受信系ブロックと、前記受信系ブロックからの

出力信号を導出するため、前記第1のシールド板の前記第4の辺に設けられた出力端子と、前記第2の領域内の基板に形成され、送信用の第2の高周波信号を処理して前記入出力端子に出力する送信系ブロックと、前記送信系ブロックに前記第2の高周波信号を供給するとともに前記第2の高周波信号の出力応対を制御する制御信号を供給するため、前期第1のシールド板の前記第4の辺に設けられた入力端子とを具備したことを特徴とする。

【0026】さらにこの発明は、同一の基板に搭載された受信系ブロック及び送信系ブロックと、前記送信系ブロックの送信信号の断続に伴い回路電流が変化する回路へ電力を供給する第1の電源供給端子と、前記第1の電源供給端子から分離されており、前記回路電流が変化する回路と異なる回路へ電力を供給する他の電源供給端子とを具備したことを特徴とする。

【0027】またこの発明は、高周波信号を入出力するための入出力端子と、前記入出力端子に供給された高周波受信信号を処理する受信処理部と、前記入出力端子を介して高周波送信信号を出力するとともに前記送信信号の送信を断続制御可能にした送信処理部と、前記送信信号が断続制御されることに伴い前記送信処理部の回路電流が変動するのを抑止するため、前記回路電流の変化を抑える補間電流を生成する補間回路とを具備したことを特徴とする。

【0028】さらにこの発明は、高周波信号を入出力するための入出力端子と、前記入出力端子に供給された高周波受信信号を処理する受信処理部と、前記入出力端子を介して高周波送信信号を出力するとともに前記送信信号の送信を断続制御可能にし、前記断続送信に伴う回路電流の変化が10mA以下に設定された送信処理部と、を具備したことを特徴とする。

【0029】さらにもたこの発明は、入力された信号を処理して出力する信号処理回路と、前記信号処理回路に直列に結合された複数の利得制御部を含み、前記複数の利得制御部の少なくとも1つは、第1のステップ単位で利得を制御可能な第1の利得制御手段を有し、前記利得制御部の少なくとも他の1つは前記第1のステップよりも小さい第2のステップ単位で利得を制御可能な第2の利得制御手段を有してなることを特徴とする。

【0030】

【発明の実施形態】以下、この発明の実施の形態を図面を参照して説明する。

【0031】図1はこの発明が適用された高周波装置の全体的な構成を示している。破線100で囲むブロックは受信系ブロックを示し、破線200で囲まれたブロックが送信系ブロックを示している。入出力端子10には、CATV網の同軸ケーブルが接続される。入出力端子10には、高域通過フィルタ101に接続される。入出力端子10には、また後述する低域通過フィルタ201が接続されている。

【0032】入出力端子10に導入された下り信号（高周波受信信号）は、高域通過フィルタ101を介して自動利得制御回路102に入力され、利得を制御され、増幅器103、高域通過フィルタ104を介してスイッチ105に入力される。

【0033】スイッチ105の出力端は、UHF用のUHF帯域通過フィルタ106、VHF高域用の高域VHF帯域通過フィルタ111、VHF低域用の低域VHF帯域通過フィルタ112に接続されている。スイッチ105には、タイミング制御回路114からバンド切り替え制御信号が与えられている。UHF帯域通過フィルタ106の出力端は、周波数変換器107に接続され、高域VHF帯域通過フィルタ111及び低域VHF帯域通過フィルタ112の出力端は周波数変換器113に接続されている。

【0034】周波数変換器107、周波数変換器113の出力は、中間周波数信号であり、中間周波数帯域を通過帯域とするSAWフィルタを用いた中間周波数帯域通過フィルタ121に入力される。この中間周波数帯域通過フィルタ121の出力は、増幅器108で増幅され、プログラマブル自動利得制御回路109において利得制御される。利得制御された中間周波数信号は、増幅器110に入力されて、所定の出力レベルに増幅され、中間周波数信号出力部122の端子に導かれる。

【0035】AGC制御回路121は、端子123から与えられる高周波用AGC信号により利得制御される。

【0036】次に送信処理部200について説明する。

【0037】送信処理部206には、入力端子212、低域通過フィルタ（平衡2端子回路）204を介して、送信信号が入力される。またこの送信処理部206には、入力端子211を介して制御信号が入力される。送信処理部206は、半導体素子を含む回路であり、センター局の指令に応じて送信信号を適正レベルに調整する。送信処理部206は、端子211に与えられる制御信号に応じて送信信号を断続するために、能動状態、非能動状態に切り替え制御される。送信処理部206の出力信号は、過電圧破壊保護回路203を経由した後、高域通過フィルタ202、低域通過フィルタ201を経由し、入出力端子10に導出される。低域通過フィルタ201と高域通過フィルタ101とは、分波器を構成している。また送信処理部206には、経過時間検出部を備えており、制御端子213の信号に基づいて必要以上連続して送信状態が続いたことを検出し、その検出信号によって送信を停止するようしている。

【0038】ここで、高域通過フィルタ202は、遮断周波数が送信帯域の下限周波数（通常5MHz）未満に設定され、低域通過フィルタ201の遮断周波数は送信周波数帯域の上限周波数（通常米国では42MHz、日本では50MHz、欧洲では65MHz）よりも高い周波数に設定される。過電圧破壊保護回路203は、必ずしも必要ではないが、雷などによる過電圧対策としては、これを

設けたほうがより好ましい。

【0039】ここで、上記の高域通過フィルタ202は、過電圧を減衰するために設けられたものである。入出力端子10には、誘導雷などの過電圧がかかる。このために、送信処理部206の半導体素子を破壊するのを防止する必要があるからである。

【0040】高域通過フィルタ202と低域通過フィルタ201と、受信系ブロック100との関係を述べる。高域通過フィルタ202は、その遮断周波数を送信帯域の下限周波数（通常5MHz）より低く設定する必要がある。また、回路全体の小型化を図る必要がある。このためには、高域通過フィルタ202として、フェライトコアを用いたインダクタを用いる。しかしフェライトコアは、+5.8dBmにも至る高いレベルの高周波信号が通過する際には、高調波などの非線形歪を生じる事が知られている。例えば40MHzの上り信号を出力した場合には、3次高調波（120MHz）が生じる。この3次高調波は、受信系ブロック100の受信帯域内であるために120MHzの下り信号に妨害を与えることになる。そこでこの発明では、高域通過フィルタ202の後段に低域通過フィルタ201を接続するものである。これにより高調波成分を十分抑圧し、下り信号に妨害を与えないようになっている。

【0041】さらにこのシステムでは、送信処理部206に含まれる半導体素子をより一層確実に保護するために、過電圧保護回路203を設けてもよい。

【0042】図2には、過電圧保護回路203の各種の回路例を示している。図2(a)の回路は、信号ライン220と接地間に、直列接続されたツェナーダイオード221と222を有する。そしてツェナーダイオード221と222のアノードが互いに向き合って接続されている。ツェナーダイオード221のカソードは、信号ライン220に接続され、ツェナーダイオード222のカソードは接地されている。ツェナーダイオード221のツェナーレ電圧をVz1、ツェナーダイオード222の順方向電圧をVF2とした場合、信号ラインにVz1+VF2以上の正の過電圧が印可された場合でも、信号ライン220の電圧は、Vz1+VF2に維持される。逆にツェナーダイオード221の順方向電圧をVF1、ツェナーダイオード222のツェナーレ電圧をVz2とした場合、信号ライン220にVF1+Vz2の負電圧が印可された場合でも、信号ライン220の電圧は、VF1+Vz2に維持される。

【0043】よって、送信処理部206の半導体素子に印可される最大過電圧は、Vz1+VF2、VF1+Vz2までとなり、Vz1、Vz2を適正に設定することで当該半導体素子を保護することができる。

【0044】またツェナーダイオード221、222の端子間容量をCzとした場合、信号ライン220と接地間に、Cz/2の容量を持つことになるので、この容量を無視できる値まで低減する必要がある。その方法として

は、端子間容量が小さいツェナーダイオードを選択することが重要である。一般にツェナーダイオードはツェナーレ電圧が低いほど端子間容量が増加するため、必要に応じて他の回路と組み合わせることが好ましい。

【0045】図2(b)の回路について説明する。この例は、図2(a)の回路と同様な動作を得る。この回路は、図2(a)のツェナーダイオード221、222の接続極性を逆にした例である。

【0046】図3は、さらに過電圧保護回路203の各種の回路例を示している。図3(a)の回路は、信号ライン220と接地間に、ツェナーダイオード301とダイオード303の直列回路、及びダイオード304とツェナーダイオード302の直列回路と並列接続した回路である。ツェナーダイオード301と303とは、互いのカソードが共通接続され、ツェナーダイオード304と302とは、互いのカソードが共通接続されている。ダイオード303、304は、ツェナーダイオード301、302よりも端子間容量が小さく且つ逆耐圧電圧が高いスイッチングダイオードである。

【0047】一般にスイッチングダイオードと分類されるダイオードは、ツェナーダイオードよりも端子間容量が小さく且つ逆耐圧が高い特徴がある。

【0048】今、ツェナーダイオード301、302の各ツェナーレ電圧をVz1、Vz2とし、ダイオード303、304の各順方向電圧をVF3、VF4とする。この条件下で、信号ライン220にVz2+VF4以上の正の過電圧が印可された場合でも、信号ライン220は、Vz2+VF4に維持される。逆に信号ライン220にVz1+VF3以上の負の過電圧が印可された場合でも、信号ライン220は、Vz1+VF3に維持される。これは概ね先の図2の場合と同様である。次に、ツェナーダイオード301、302の端子間容量をCzとし、ダイオード303、304の端子間容量をCs=a×Czとした場合、信号ライン220と接地間に、 $2 \times (Cz + Cs) / (Cz + Cs) = Cz \times (2 \times a / (1 + a))$ の容量を持つことになる。これは、a=1/3未満になるダイオードを選定することにより、図2で説明した回路より容量値を低減できることを意味する。

【0049】図3(b)は、図3(a)の回路に比べて、各ツェナーダイオード304とダイオード302の配置関係が入れ替わり、互いのダイオードのアノードが共通接続された例である。この回路も先の回路と同様な効果を奏する。図3(c)は、図3(a)の回路に比べて、ダイオード303と、301が入れ替わり、互いのダイオードのアノードが共通接続された例である。この回路も先の回路と同様な効果を奏する。図3(d)は、図3(b)の回路に比べてダイオード301と、303が入れ替わり、互いのダイオードのアノードが共通接続された例である。この回路も先の回路と同様な効果を奏する。

【0050】図4は、さらにこの発明に係る過電圧保護回路の応用例である。

【0051】この回路では、ツェナーダイオード401、ダイオード402が過電圧保護回路を構成し、全体では低域通過フィルタを構成するものである。つまり、ダイオード401、402が低域通過フィルタの一部を構成するものである。この様にするとダイオードの端子間容量による影響を低減できる。

【0052】具体的には、端子400はインダクタ411、コンデンサ412を介して接地される。またインダクタ411とコンデンサ412の接続点は、ダイオード401、402の直列回路に接続されるとともに、インダクタ413、コンデンサ414の一方の端子に共通接続される。このインダクタ413、コンデンサ414の他方の端子は、共通にコンデンサ415を介して接地されるとともに、端子416に接続されている。

【0053】この低域通過フィルタは、遮断周波数が80MHz程度の75オーム系のフィルタであり、コンデンサ412の容量値は、20乃至40pF程度である。一方、過電圧保護回路401、402の容量値はCz/2が一般に2乃至20pFであるため、コンデンサ412の容量値をCz/2相当分だけ減らすことで、実質的に過電圧保護回路の端子間容量は悪影響を与えないことになる。

【0054】図5はこの発明に係る高周波装置の送信処理部206またはその周囲も含めた特徴部を示す。上り信号は、入力端子501を介して可変利得制御増幅器502に入力される。上り信号は、図1の送信信号入力端子212、低域通過フィルタ204を介して送信処理部206に入力される。送信処理部206では、送信信号を受け取り利得を制御してレベル調整された上り信号を生成する。上り信号は、先の可変利得増幅器502で後述する利得制御を受ける。この可変利得制御増幅器502の出力端子は、スイッチ部503の一方の入力端子5aに接続され、このスイッチ部503の他方の入力端子5bは、抵抗504を介して接地されている。このスイッチ部503は、出力端子505に接続される。この出力端子505の出力信号は、図1の過電圧保護回路203を介して高域通過フィルタ202へ供給されることになる。

【0055】ここで、制御信号入力端子511は、図1の制御信号入力端子213に相当する。この入力端子511は、インバータ512、513を直列に介してアンド回路504の一方の入力端に接続されている。またインバータ512の出力端は、抵抗515を介してトランジスタ516のベースに接続されている。このトランジスタ516のエミッタは接地され、コレクタは、電源端子518と接地間に接続された抵抗とコンデンサによる時定数回路517に接続されている。またこの時定数回路517の出力端子は、比較器522の一方入力端に接

続されている。さらに前記時定数回路517と電源端子518との接続点は、抵抗519を520を介して接地されている。抵抗519と520の接続点は、比較電圧として利用されるもので、この比較電圧は、比較器522の他方の入力端に接続されている。この比較器522の出力端子は、先のアンド回路514の他方の入力端に接続されるとともに、増幅器502の断続制御端子に接続されている。

【0056】アンド回路514の出力端子は、スイッチ部503の制御端子に接続されている。このスイッチ部503は、割り当てられた時間に上り信号が送出されるよう、上り信号の断続を制御するスイッチである。

【0057】次に上記の回路の動作を図5(b)を参照して説明する。

【0058】制御端子511には、図5(b)の(b-1)に示すようなオンオフ制御信号が入力される。このオンオフ制御信号がハイレベルのときは、トランジスタ516がオフに成るために時定数回路517に充電が行われ、比較器522の一方の入力端子に供給される信号は、図5(b)の(b-2)に示すような波形となる。この波形の最高電位は、正常動作のときは比較電圧を超えない程度であり、比較器522の出力は、ハイレベルを維持する(図5(b)の(b-3)参照)。この結果、アンド回路514の一方に入力する信号は、制御信号(b-1)と同じ波形となり、アンド回路514の出力も制御信号(b-1)と同じ波形となる。よって、スイッチ部503は、制御信号に追従して応答し、制御信号がハイレベルのときは上り信号を出力し、制御信号がローレベルの時はオフする。

【0059】これに対して、何らかの異常で、制御信号がハイレベルを連続した場合、各部の信号波形は、図5(c)に示すような波形となる。図5(c)の(c-1)は、制御信号であり、(c-2)は、時定数回路517の出力であり、比較電圧を超えるようになる。この結果、時定数回路517の出力が、比較電圧を超えたところで比較器522の出力(c-3)がハイレベルからローレベルに反転し、この結果、アンド回路514の出力(c-4)は、ローレベルとなる。また利得制御増幅器502の制御端子には、ローレベルの制御信号が供給される。このような状態では、スイッチ部503はオフし、利得制御増幅器502も非動作状態となる。

【0060】このように2段階で上り信号を遮断するために、送信処理部206の内部で生じる雑音をより一層外部に漏らさることがなくなる。送信処理部206がスイッチ部503をICの外部に有し、増幅器502をICの内部に有した場合、増幅器502が完全にオフしないと、ICの出力端子から雑音が漏れることがある。しかしシステムでは、双方ともオフ状態となるために、雑音漏れを一層抑圧し、他のユーザの送信に悪影響を与えることがない。また、雑音漏れがないので、下り信号などを処

理する他の回路へ悪影響を与えることがない。

【0061】図6はこの発明の高周波装置にかかる特徴部をさらに示している。

【0062】図6において、61は、筐体モジュールをしめし、このモジュール61内には基板601が設けられている。基板601は、図1で示した受信系ブロック100と送信系ブロック200とを搭載している。そのさらにこの基板601の外周縁は、モジュール61の外周器を構成するシールド板602により囲まれている。シールド板602は、基板の面に対して垂直方向へ平面を配置するように基板601を囲むように取り付けられている。この基板601は平面形状がほぼ長方形状である。

【0063】603は、シールド板602の短辺部6aに外側に突出して取り付けられた同軸ケーブル取り付け部であり、ここに高周波信号（下り信号）が導入されるし、また、上り信号が出力される。同軸ケーブル取り付け部603とは反対側の短辺部6bには、シールド板602の内側に間隔W1を有するように第1の仕切り板（シールド板）604が配置されている。さらにまた、シールド板602の内側であって長辺部6cと並行になり間隔W2を有するように第2の仕切り板（シールド板）605が設けられている。このシールド板605の一方端は、短辺部6aの内面に突き当たり、他方端は、仕切り板604にほぼ直角に突き当たる。

【0064】さらにまた、シールド板602の長辺部6cの内面と、シールド板605の内面との間には、シールド板602の短辺部6aから間隔W3において、第3の仕切り板（シールド板）606が設けられている。

【0065】またシールド板602の長辺部6dの内側と仕切り板605との間には、間隔W4が生じている。そしてシールド板602の長辺部6dの内側と仕切り板605との間には、長さW4の仕切り板（シールド板）607が配置されている。

【0066】上記の結果、基板601上には、複数のシールド板により囲まれた領域A、B、C、D、Eが生じている。ここで領域Aには分波器が配置され、領域B、Cには受信系ブロックが配置され、特に領域Cは、中間周波数を扱う回路部が配置される。さらに領域Dには送信系ブロックが配置される。また領域Eには、直流一直流変換器300が配置される。

【0067】上記の配置により、送信処理部206は、送信信号や制御信号をモジュールに入力した端子211、212に入力した直後に必要な処理を行うことができ、外部回路と端子と送信系ブロックまでの間を最短距離の回路構成で実現できる。そして、送信系ブロックへ入力する信号の不要輻射が、他の回路へ妨害を与えるのを軽減できる。さらには、上り信号送信処理部206へ入力する上り信号や制御信号の不要輻射が、他の回路へ妨害を与えるのを軽減できる。

【0068】さらにまた、仕切り板（シールド板）607、604で形成された間隔により、送信系ブロックへ入力する上り信号や制御信号の不要輻射が、受信系ブロックの出力信号（特に端子122に取り出される中間周波数信号）に対して悪影響を与えるのを軽減できる。また逆に受信系ブロックの出力信号の不要輻射が、送信系ブロックへ入力する送信信号に対して悪影響を与えるのを軽減できる。

【0069】さらに、仕切り板607、604で形成される間隙部分には、直流一直流変換器300を配置している。これにより直流一直流変換器300にて発生する不要輻射が仕切り板607、604、605、シールド板の長辺部6dで遮断され周囲の回路へ悪影響を与えるのを抑圧できると共に、この仕切り板607、604間の間隔を有効利用している。

【0070】また、この発明では、シールド板602の長辺部6dに、受信系ブロックの中間周波数信号を取り出すために設けられた1つ又は2つの出力端子122と、前記長辺部6dに、前記送信系ブロックに対して制御信号を与えるための入力端子212とが所定間隔で設けられ、前記出力端子122と212の間隔がいずれもに対しても30mm以上で、且つ60mm以下に成るようしている。

【0071】つまり、図に示す端子間の間隔L1、L2、L3、L4はいずれも30mm以上、且つ60mm以下である。前記の30mm以上とすることにより、送信系ブロックに入力する送信信号や制御信号の不要輻射が、受信系ブロックから得られる受信信号に悪影響を与えるのを軽減できる。また逆に受信系ブロックから得られる受信信号の不要輻射が、送信系ブロックに入力する送信信号や制御信号に悪影響を与えるのを軽減できる。

【0072】さらにまた、上記の60mm以下とすることにより、モジュール61に入力するための送信信号を生成する回路と、前記受信系ブロックからの受信信号を処理する回路とから、モジュール61に導かれる接続線を不要に引き回す必要がないために、接続線間の相互誘導による悪影響を軽減できる。

【0073】またこの発明では、次のような特徴も備える。

【0074】前記平衡2端子入力回路204は、前記制御信号が入力した直後には接地回路が無い平衡2端子低域通過フィルタである。これにより、送信信号がモジュール61に入力された直後に、送信信号に重畠している不要成分を抑圧することができる。また接地回路を持たない低域通過フィルタであるために、モジュール61の接地回路に送信信号から除去された不要成分が、モジュール61の接地回路に流れ込みず、モジュールに与える妨害を軽減できる。

【0075】また入力端子212に平衡入力する送信信号が、モジュール外部の回路からの不要輻射により不要

信号が重畠された場合、あるいは送信信号生成回路（図示せず）において同位相成分のクロック信号などが重畠された場合においても、平衡2端子回路の特性として同位相成分を相殺することができるので、送信信号に重畠された妨害成分を低減することができる。

【0076】図7には、上記の平衡2端子回路（低域通過フィルタ）204の回路例を示している。この回路は例えば端子701、702の間にコンデンサ703を有する。端子701は、インダクタ704、コンデンサ705の並列回路を介してコンデンサ706の一方の電極に接続され、端子702は、コンデンサ707、インダクタ708の並列回路を介してコンデンサ706の他方の電極に接続される。コンデンサ706の一方の電極は、インダクタ709とコンデンサ710の並列回路を介してコンデンサ711の一方の電極に接続され、コンデンサ706の他方の電極は、コンデンサ712とインダクタ713の並列回路を介してコンデンサ711の他方の電極に接続される。そしてコンデンサ711の両端はトランジスタ714の一次側コイルの両端にそれぞれ接続されている。このトランジスタ714の2次側のコイルに出力端子715が接続されている。

【0077】さらにまたこの発明の高周波装置は、次のような特徴も備えている。

【0078】図8(a)は、上記した基板601に搭載されている回路を、電源供給の面から区分して示す図である。この高周波装置は、下り信号を処理する受信系ブロック100と上り信号を出力する送信系ブロック200に対応した、別々の電源端子801、802を設けている。これにより、各ブロックの電源電圧は、十分なアイソレーションを持つことになる。これにより、送信処理部206が上り信号を送出するために断続制御され、回路電流が変動しても、下り信号の特に周波数変換を行う局部発振器の電源に妨害を与えることがない。よって受信信号の品位を確保するのに有效である。

【0079】図8(b)の例は、受信系ブロック100において、局部発振器10(図1の位相同期発振器115の部分)に対しては、独立した電源端子803を設け、受信系ブロック100の他の回路及び送信系ブロック200に対して電源電圧を供給する電源端子804を設けた例である。この様に構成しても送信処理部206が上り信号を送出するために断続制御され、回路電流が変動しても、下り信号の特に周波数変換を行う局部発振器の電源に妨害を与えることがない。

【0080】図8(c)の例は、送信系ブロック200の送信処理部206において、特に上り信号を送出するために断続制御されたとき、回路電流が変動する電流変動回路20に対しては、独立して電源端子805を設けた例である。そして、電流変動回路20を除く他の送信系ブロック内の回路と、受信系ブロック100に対して電源電圧を供給する電源端子806を設けている。この

場合も上り信号を送出するために断続制御され、電流変動回路20の回路電流が変動しても、他の回路への悪影響がない。

【0081】さらにまたこの発明の高周波装置は次のようないく特徴も備えている。

【0082】図9(a)には、送信処理部206において、スイッチ部503(図5参照)が断続することにより、回路電流が変化するのを抑制する手段を示している。図9において増幅器502の出力はスイッチ部503を介して出力端子505に導出される。

【0083】スイッチ部503は、半導体を用いたスイッチング素子で構成されており、901は電源供給部であり、端子903から電源電圧が供給されている。またスイッチ部503には、制御端子部902が設けられており、ここには、アンド回路514からの制御信号が供給される。ここで、電源供給部901には電源端子903に接続された電流補完回路910が設けられている。即ち、端子903は、トランジスタ911のコレクタに接続される。このトランジスタ911のエミッタは、抵抗912を介して接地され、また抵抗913を介してベースに接続されている。さらにこのベースは、抵抗915を介して、先の制御端子部902に接続されている。またこのベースは、コンデンサ914を介して接地されている。

【0084】次に動作を説明する。

【0085】今、アンド回路514からの制御信号がローレベルであるとすると、スイッチ部503がオンし、電流消費される。逆に、アンド回路514からの制御信号がハイレベルであるとすると、スイッチ部503がオフして電流消費が無くなるが、今度は、トランジスタ911がオンして電流が消費される。ここで、電流補完回路910の電流消費量をスイッチ部503の電流消費量とほぼ等しくすることで、端子903から見た電流変動は少なものとなる。例えば、双方の電流消費量の差を10mA以下とすることで、端子903から見た電流量の変動は、スイッチ部503の断続にかかわらず10mA以下とができる。

【0086】図9(b)には、端子902がハイレベル、ローレベルに変化したときの、スイッチ部503の消費電流、電流補完回路910の消費電流を示し、端子903から見た電流変動量を示している。この図から、結局、端子903から見た電流変動量は、 $I\alpha$ 、と $I\beta$ との差になる。

【0087】図10はさらに別の実施の形態である。この実施の形態では、スイッチ部503と全く同様なスイッチ部503aを用意する。そしてスイッチ部503の出力端をスイッチ部503aの入力端に接続し、このスイッチ部503aの出力端を終端抵抗921を介して接地する。また制御端子部902aに対しては、インバータ920を介してアンド回路514からの制御信号を入

力するように構成している。さらに電源電圧が供給される端子 903 を電源供給部 901a に接続する。

【0088】これによりスイッチ部 503 と 503a とは、制御信号により相補的に断続動作し、片方がオンの時は他方がオフの関係となり、消費電流も相補的になる。この結果、端子 903 から見た消費電流はスイッチ部 503 がオンオフしても変動が少なく変動量を 1.0 mA 以下に抑えることができる。

【0089】図 11 はさらに別の実施の形態である。この実施の形態は、スイッチ部 503 として、オフ時には、端子 505 が抵抗 930 を介して終端するスイッチ素子を用いている。この様なスイッチ素子としては、FET、特に GaAsFET によりスイッチングする回路又は部品が好適し、1 mA 以下の変動量にすることも可能である。

【0090】図 12 は、さらにこの発明の高周波装置の特徴部を示している。

【0091】図 12 には、図 1 の一部を取り出して特徴部を示している。この発明では、高周波信号をレベル制御する利得制御部 102 は、各種の減衰量を有する減衰器 4a, 4b, 4c, … で構成され、いずれか 1 つが AGC 制御部 121 により選択的に接続されるようになっている。高周波信号は、周波数変換器 107 又は 113 により周波数変換されて中間周波数信号を増幅するプログラマブル利得制御増幅器 109 に入力されて利得制御される。このように本発明の高周波装置では、高周波利得制御部、中間周波利得制御部がデジタル的な制御データで制御される。また高周波利得制御部は 5 dB 程度のステップで切り替わるように減衰器の減衰量が精度良く調整されている。これに対して中間周波利得制御部では細かいステップで利得制御できるように設計されている。

【0092】この結果、高周波信号及び中間周波信号の利得制御情報は、デジタルデータである。このために、システムコントロール部（図示せず）は、CATV 線から入力する信号の入力レベルを正確な AGC 情報で把握することができる。

【0093】上記したようにこの発明によれば、入出力端子から加わった誘導雷による過電圧は、高域通過フィルタ 202 により減衰され、送信処理部 206 の半導体素子を保護することができる。また高域通過フィルタ 202 にフェライトコアが用いられ、その不要高調波成分が生じたとしても、この不要高調波成分は、低域通過フィルタ 201 により減衰され、受信系ブロックや同軸ケーブル側に漏れることがない。よって、システム全体の信頼性を向上できる。

【0094】さらにまた過電圧保護回路 203 が追加されることにより、なお一層、保護能力を向上することができる。また、図 2、図 3 に示したような構成の過電圧保護回路を採用することにより、正・負の両極性の過電圧に対しても、保護機能を得ることができる。また高周波回路に対して有害な端子間容量（信号ラインと接地間

の容量）を低減できる。また、ツェナーダイオードと、容量が小さい通常のダイオードを用いることで、一層、上記端子間容量を低減できる。

【0095】また、本発明の装置のような回路ブロックの配置構成、つまり、送信系ブロックをシールド板 602 の長辺部 6d の直ぐ内側に配置することにより、送信信号が送信系ブロック以外の回路へ不要輻射として妨害入力するのを抑止できる。またシールド板 604、607 により送信系ブロックと中間周波数信号出力部とが間隔を持って離れた配置にしているので、送信系ブロックを制御する制御信号が受信系の中間周波数信号に妨害を与えるのを抑止でき、また逆に中間周波数信号が送信系ブロックの送信信号に対して妨害を与えるのを抑止できる。

【0096】またモジュールに接続される外部端子を図 6 で示したような間隔を持つ配置としたことにより、送信信号を入力するための端子 212 と、中間周波数信号を導出する端子 122 との各不要輻射が互いに妨害するのを軽減でき、また印刷配線基板（基板 601）上の送信信号接続線と受信信号接続線からの不要輻射が相互に悪影響を与えることを軽減できる。

【0097】また直流一直流変換器 300 は、図 6 に示すように配置したために、ここで発生する不要輻射が、送信信号、中間周波数信号など周囲の信号に妨害を与えるのを軽減できる。

【0098】また平衡 2 入力回路（204）を用いたことにより、送信信号に重複された妨害成分を低減することができる。また入力側で接地回路を有しない平衡 2 入力回路（図 7）を用いることで、送信信号に重複されている不要成分が接地回路に漏れることなく、装置の動作性能を高性能とすることができます。

【0099】さらにまた、図 8 に示したような電源供給形態とすることにより、送信系ブロックの断続制御される回路の電流変化があっても、周波数変換器の性能を劣化させることがない。周波数変換のために使用される局部発振器の動作が安定している。

【0100】また、図 12 で説明したような利得制御方式を採用することにより、次のような利点もある。即ち、固定減衰器は、安価で広帯域特性もよいものが容易に得られる。また歪み特性についても非線形特性を殆どもたないために、広帯域性、低歪み特性が要求される利得制御部に適している。一方では、固定減衰器の切り換えによる利得制御だけでは、小さいステップの利得制御が困難である。そこでこの発明では小ステップで利得制御が可能なプログラマブル利得制御器と、固定減衰器を有する利得制御部とを組み合わせている。これにより高性能でかつ小さいステップで利得制御可能な高周波装置を実現している。受信系の場合、システム制御部は、利得制御情報から入力レベルをある程度の精度で検出することができる。また送信系の場合、出力信号レベルを数

値制御することが可能となる。

【0101】この発明は上記の実施の形態に限定されるものではない。各実施の形態を選択的に組み合わせて高周波装置を実現してもよいことは勿論のことである。

{0102}

【発明の効果】以上説明したようにこの発明によれば、ケーブルモデムにおいて通信品位が良く、信頼性の高い送受信一体型高周波装置を提供できる。

【図面の簡単な説明】

【図1】この発明の送受信一体型高周波装置の全体的な
プロックを示す図。

【図2】過電圧保護回路の例を示す図。

【図3】過電圧保護回路の他の例を示す図。

【図4】この発明に係る過電圧保護回路と低域通過フィルタが一体化された回路例を示す図。

【図5】この発明に係る断続制御回路の例を示す図。

【図6】この発明に係る高周波装置の回路配置の例を示す図。

【図7】この発明に係る高周波装置の平衡2端子回路の具体例を示す図。

【図8】この発明に係る高周波装置の電源電圧供給端子

1996-1997 学年第二学期期中考试高二物理试卷

【四】

の例を示す図。

【図9】この発明に係る高周波装置の電流補完回路の例を示す図。

【図10】この発明に係る高周波装置の電流補完回路の他の例を示す図。

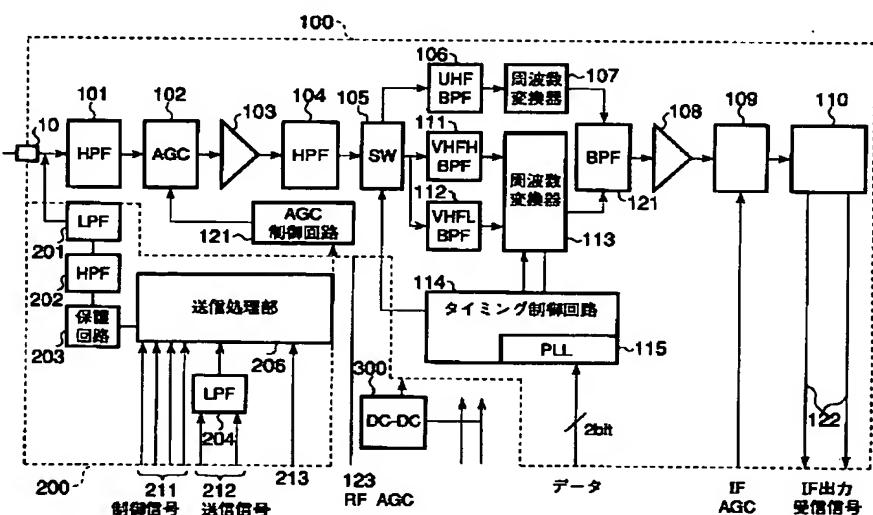
【図11】この発明に係る高周波装置の電流補完回路の
さらに他の例を示す図。

【図12】この発明に係る高周波装置の利得制御系統の例を示す図。

【符号の説明】

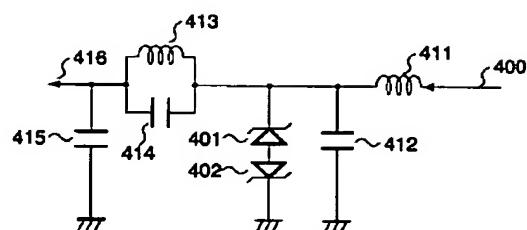
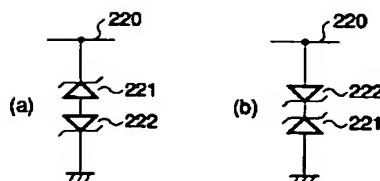
101…高域通過フィルタ、102…自動利得制御回路、103…増幅器、104…高域通過フィルタ、105…スイッチ、106…UHF帯域通過フィルタ、107…周波数変換器、108…増幅器、109…自動利得制御回路、110…増幅器、111…高域VHF帯域通過フィルタ、112…低域VHF帯域通過フィルタ、113…周波数変換器、114…タイミング制御回路、115…PLLクロック発生器、201…低域通過フィルタ、202…高域通過フィルタ、203…過電圧破壊保護回路、204…低域通過フィルタ、206…送信処理部。

[图 1]

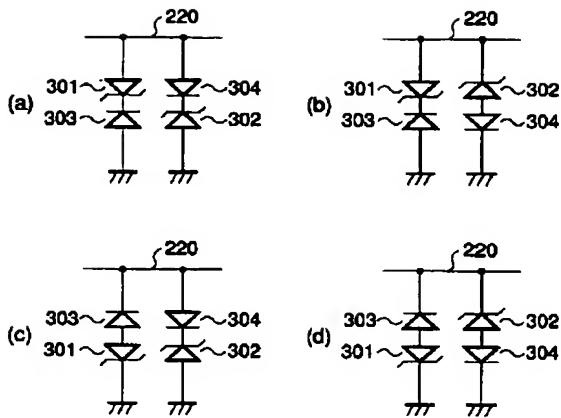


[図2]

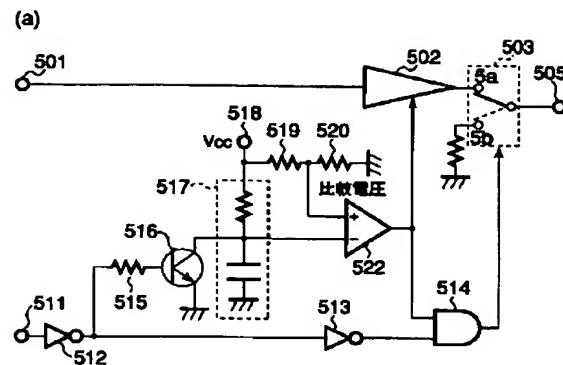
[図4]



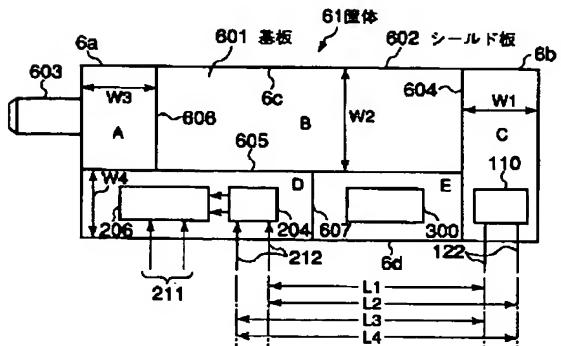
【図 3】



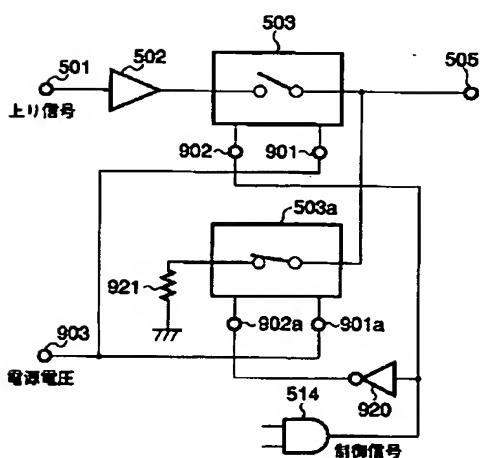
【図 5】



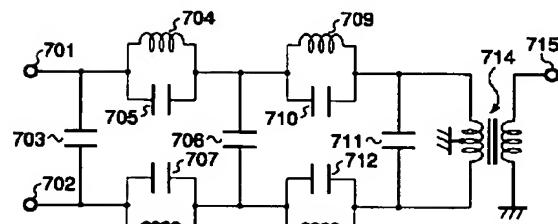
【図 6】



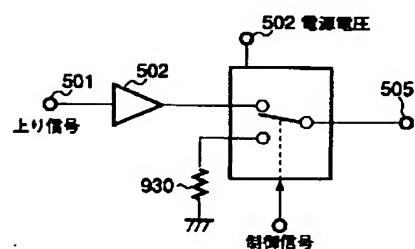
【図 10】



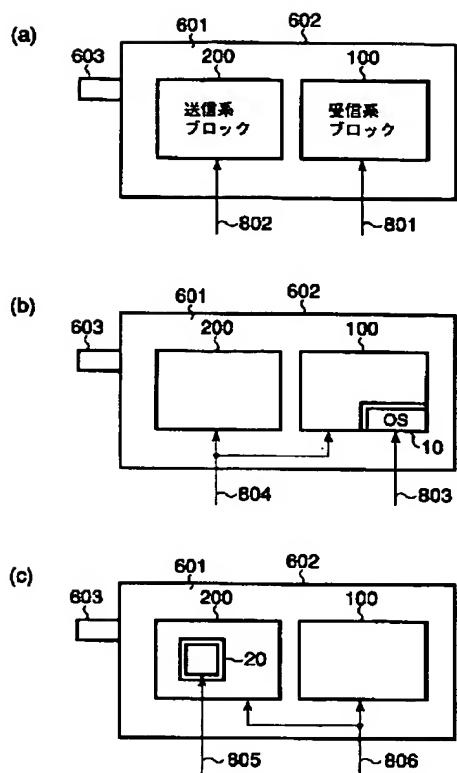
【図 7】



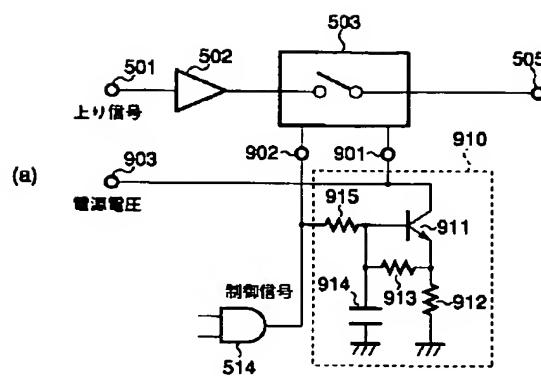
【図 11】



【図8】

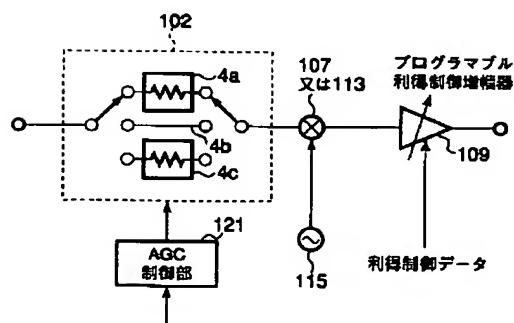


【図9】



端子802	ローレベル	ハイレベル
503 消費電流	$I_{SH}+I_\alpha$ (mA)	I_{SH} (mA)
810 消費電流	I_{CL} (mA)	$I_{CL}+I_\beta$ (mA)
903からみた電流変化	$I_{SH}+I_{CL}+I_\alpha$ (mA)	$I_{SH}+I_{CL}+I_\beta$ (mA)

【図12】



フロントページの続き

(72) 発明者 大澤 昌巳
 東京都青梅市新町3丁目3番地の1 東芝
 デジタルメディアエンジニアリング株式会
 社内

F ターム(参考) 5C064 BA01 BB05 BC16 BC20 BD02
BD08
5G013 AA05 AA16 BA02 CB15 DA10
DA11
5G053 AA09 BA04 CA01 CA05 EA03
EB02 EC02 FA06
5K011 DA03 DA12 DA13 DA21 DA27
JA10 KA11
5K046 AA01 BB03 DD13 KK17